

POLITECHNIKA KRAKOWSKA IM. TADEUSZA KOŚCIUSZKI

KARTA PRZEDMIOTU

obowiązuje studentów rozpoczynających studia w roku akademickim 2015/2016

Wydział Inżynierii Elektrycznej i Komputerowej

Kierunek studiów: Informatyka

Profil: Ogólnoakademicki

Forma studiów: stacjonarne

Kod kierunku: Info

Stopień studiów: I

Specjalności: bez specjalności

1 INFORMACJE O PRZEDMIOCIE

NAZWA PRZEDMIOTU	Architektura systemów komputerowych
NAZWA PRZEDMIOTU W JĘZYKU ANGIELSKIM	Computer Systems Architecture
KOD PRZEDMIOTU	WIEiK INFOR oIS PK19 15/16
KATEGORIA PRZEDMIOTU	Przedmioty kierunkowe
LICZBA PUNKTÓW ECTS	6.00
SEMESTRY	4

2 RODZAJ ZAJĘĆ, LICZBA GODZIN W PLANIE STUDIÓW

SEMESTR	WYKŁADY	ĆWICZENIA	LABORATORIA	LABORATORIA KOMPUTERO- WE	PROJEKTY	
4	30	0	30	0	0	0

3 CELE PRZEDMIOTU

Cel 1 Przedstawienie organizacji, działania i architektury systemów komputerowych.

Cel 2 Przedstawienie języków opisu sprzętu.

Cel 3 Przedstawienie problemów i techniki projektowania architektury systemów komputerowych.

4 WYMAGANIA WSTĘPNE W ZAKRESIE WIEDZY, UMIEJĘTNOŚCI I INNYCH KOMPETENCJI

1 Znajomość techniki cyfrowej, programowania w języku C oraz systemów operacyjnych

5 EFEKTY KSZTAŁCENIA

EK1 Wiedza Student zna zasady działania, organizacje i architekturę sprzętową systemu komputerowego (jednostka centralna, pamięci, urządzenia zewnętrzne, krotność).

EK3 Wiedza Student zna zagadnienia związane z podziałem funkcji systemu komputerowego realizowanych przez sprzęt i oprogramowanie systemowe.

EK4 Wiedza Student umie opisać w języku opisu sprzętu i zaimplementować podstawowe układy funkcjonalne (układy cyfrowe) oraz zaprojektować proste systemy komputerowe.

EK5 Umiejętności Student zna zagadnienia związane z topologią, komunikacją i transmisją w krotnym systemie komputerowym.

6 TREŚCI PROGRAMOWE

LABORATORIA		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
L1	Monitorowanie działania prostego CPU. Monitorowanie sygnałów magistrali systemowej mikrokomputera. Monitorowanie transmisji.	4
L2	Kompilatory logiczne dla układów CPLD i FPGA: Quartus II. Projektowanie układów cyfrowych na poziomie mikroarchitektury. Implementacja układów cyfrowych w technologii FPGA. Podstawy języka opisu sprzętu VHDL.	4
L3	Projektowanie układów arytmetyczno-logicznych w VHDL-u.	6
L4	Projektowanie na poziomie RTL. Implementacja pamięci.	4
L5	Architektura procesora NIOS II - tworzenie systemów komputerowych z wykorzystaniem narzędzia SOPC Builder/Qsys, obsługa przerwań, interfejs UART, komunikacja z wykorzystaniem magistrali, DMA.	12

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W1	Architektura jako dziedzina twórczości człowieka i architektura systemu komputerowego. Powiązania architektury systemu komputerowego z jego systemem operacyjnym. Synteza systemów heterogenicznych, synergizm, modelowanie, polioptymalizacja, symulacje i weryfikacja.	6
W3	Język VHDL - prezentacja, przykłady	2

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W4	Struktura typowego komputera, struktura jednostki centralnej, struktura procesora. Jednostki: sterująca i wykonawcza, algorytm sterowania, cykle sterowania, typy rozkazów, formaty rozkazów, tryby adresowania, arbitraż, przerwania, DMA. Przykłady programów binarnych.	6
W5	Pamięć: hierarchia pamięci, pamięć operacyjna, pamięć notatnikowa, translacja i wiązanie adresów, pamięć zewnętrzna, pamięć asocjacyjna.	4
W6	Urządzenia we/wy: zasady synchronizacji: transmisje, typowe interfejsy i protokoły. Pamięć dyskowa.	6
W7	Wirtualizacja pamięci.	4
W8	Wstęp do architektury systemów krotnych - poziom procesora i koprocesora, poziom CPU, poziom komputera.	2

7 NARZĘDZIA DYDAKTYCZNE

N1 Ćwiczenia laboratoryjne

N2 Konsultacje

N3 Prezentacje multimedialne

N4 Wykłady

8 OBCIĄŻENIE PRACĄ STUDENTA

FORMA AKTYWNOŚCI	ŚREDNIA LICZBA GODZIN NA ZREALIZOWANIE AKTYWNOŚCI
Godziny kontaktowe z nauczycielem akademickim, w tym:	
Godziny wynikające z planu studiów	60
Konsultacje przedmiotowe	10
Egzaminy i zaliczenia w sesji	10
Godziny bez udziału nauczyciela akademickiego wynikające z nakładu pracy studenta, w tym:	
Przygotowanie się do zajęć, w tym studiowanie zalecanej literatury	60
Opracowanie wyników	0
Przygotowanie raportu, projektu, prezentacji, dyskusji	20
przygotowanie do egzaminu	20
SUMARYCZNA LICZBA GODZIN DLA PRZEDMIOTU WYNIKAJĄCA Z CAŁEGO NAKŁADU PRACY STUDENTA	180
SUMARYCZNA LICZBA PUNKTÓW ECTS DLA PRZEDMIOTU	6.00

9 SPOSOBY OCENY

OCENA FORMUJĄCA

F1 Sprawozdanie z ćwiczenia laboratoryjnego

F2 Kolokwium

OCENA PODSUMOWUJĄCA

P1 Egzamin pisemny

P2 Średnia ważona ocen formujących

OCENA AKTYWNOŚCI BEZ UDZIAŁU NAUCZYCIELA

B1 Ćwiczenie praktyczne

KRYTERIA OCENY

EFEKT KSZTAŁCENIA 1	
NA OCENĘ 2.0	Student zna modelu systemu komputerowego wykorzystującego architekturę von Neumanna.

NA OCENĘ 3.0	Student potrafi omówić cechy systemu komputerowego wykorzystującego architekturę von Neumanna.
NA OCENĘ 3.5	-
NA OCENĘ 4.0	Student potrafi omówić wszystkie podstawowe komponenty systemu komputerowego
NA OCENĘ 4.5	-
NA OCENĘ 5.0	Student potrafi omówić komponenty systemu komputerowego, omówić działanie procesora opartego o model von Neumanna oraz zna i potrafi omówić inne modele obliczeniowe. Student potrafi wskazać zalety i wady różnych modeli obliczeniowych.
EFEKT KSZTAŁCENIA 3	
NA OCENĘ 2.0	Student nie potrafi omówić podziału funkcji pomiędzy sprzęt i oprogramowanie systemowe.
NA OCENĘ 3.0	Student potrafi omówić podziału funkcji pomiędzy sprzęt i oprogramowanie systemowe.
NA OCENĘ 3.5	-
NA OCENĘ 4.0	Student potrafi omówić podziału funkcji pomiędzy sprzęt i oprogramowanie systemowe. Umie przedstawić realizację prostego programu binarnego.
NA OCENĘ 4.5	-
NA OCENĘ 5.0	Student potrafi omówić podziału funkcji pomiędzy sprzęt i oprogramowanie systemowe. Umie przedstawić realizację prostego programu binarnego. Potrafi przedstawić realizację programu do transmisji dyskowej i sieciowej.
EFEKT KSZTAŁCENIA 4	
NA OCENĘ 2.0	Student nie potrafi opisać prostych układów kombinacyjnych i sekwencyjnych w języku VHDL.
NA OCENĘ 3.0	Student potrafi opisać prosty układ kombinacyjny (multipleksery, enkodery, sumatory, ALU, itp.) w języku VHDL i zaimplementować go w układzie FPGA.
NA OCENĘ 3.5	-
NA OCENĘ 4.0	Student potrafi opisać prosty układ kombinacyjny i sekwencyjny (rejstry, liczniki, timer) w języku VHDL i zaimplementować go w układzie FPGA. Student potrafi stworzyć system komputerowy w oparciu o procesor NIOS II oraz uruchomić w tym systemie program z wykorzystaniem interfejsu UART i przerwań.
NA OCENĘ 4.5	-

NA OCENĘ 5.0	Student potrafi stworzyć system komputerowy w oparciu o procesor NIOS II oraz uruchomić w tym systemie program z wykorzystaniem interfejsu UART, przerwań, DMA oraz własnych komponentów opisanych w VHDL-u. Student potrafi opisać prosty procesor w języku VHDL i zaimplementować go w układzie FPGA. Student zna metody transmisji danych, podstawowe protokoły, zasady synchronizacji, systemy magistral oraz metody obsługi urządzeń we/wy z wykorzystaniem przerwań, DMA.
EFEKT KSZTAŁCENIA 5	
NA OCENĘ 2.0	Student nie zna ogólnych zasad komunikacji i transmisji.
NA OCENĘ 3.0	Student zna ogólne zasady komunikacji i transmisji.
NA OCENĘ 3.5	-
NA OCENĘ 4.0	Student zna metody transmisji danych, podstawowe protokoły, zasady synchronizacji oraz systemy magistral.
NA OCENĘ 4.5	-
NA OCENĘ 5.0	Student zna metody transmisji danych, podstawowe protokoły, zasady synchronizacji, systemy magistral i topologii.

10 MACIERZ REALIZACJI PRZEDMIOTU

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓLOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK1	K_W05 K_W11	Cel 1	L1 L3 L5 W1 W8	N1 N2 N3 N4	F1 F2 P1 P2
EK3	K_W10 K_W11 K_W21	Cel 1	L1 L4 L5 W5	N1 N2 N3 N4	F1 F2 P1 P2
EK4	K_U22	Cel 1	L5 W6 W7	N1 N2 N3 N4	F1 F2 P1 P2
EK5	K_W12 K_W26	Cel 2 Cel 3	L5	N1 N2	F1 F2 P1 P2

11 WYKAZ LITERATURY

LITERATURA PODSTAWOWA

- [1] | Stallings William — *Organizacja i architektura systemu komputerowego*, Warszawa, 2000, WNT
- [2] | Morrris Mano M. — *Architektura komputerów*, Warszawa, 1988, WNT

LITERATURA UZUPEŁNIAJĄCA

- [1] | Kevin Skahill — *Język VHDL. Projektowanie programowalnych układów logicznych (wyd. 2)*, Warszawa, 2004, WNT
- [2] | Marek Zwoliński — *Projektowanie układów cyfrowych z wykorzystaniem języka VHDL*, Warszawa, 2002, WKiŁ

12 INFORMACJE O NAUCZYCIELACH AKADEMICKICH

OSOBA ODPOWIEDZIALNA ZA KARTĘ

dr hab.inż. Mieczysław Drabowski (kontakt: gpedrak@pk.edu.pl)

OSOBY PROWADZĄCE PRZEDMIOT

- 1 dr hab. inż. Mieczysław Drabowski (kontakt: drabowski@pk.edu.pl)
- 2 dr inż. Radosław Czarnecki (kontakt: czarneck@pk.edu.pl)
- 3 mgr inż. Sławomir Bąk (kontakt: sbak@pk.edu.pl)

13 ZATWIERDZENIE KARTY PRZEDMIOTU DO REALIZACJI

(miejsowość, data)

(odpowiedzialny za przedmiot)

(dziekan)

PRZYJMUJĘ DO REALIZACJI (data i podpisy osób prowadzących przedmiot)

.....
.....
.....