

POLITECHNIKA KRAKOWSKA IM. TADEUSZA KOŚCIUSZKI

KARTA PRZEDMIOTU

obowiązuje studentów rozpoczynających studia w roku akademickim 2016/2017

Wydział Inżynierii Elektrycznej i Komputerowej

Kierunek studiów: Informatyka

Profil: Ogólnoakademicki

Forma studiów: niestacjonarne

Kod kierunku: Info

Stopień studiów: I

Specjalności: bez specjalności

1 INFORMACJE O PRZEDMIOCIE

NAZWA PRZEDMIOTU	Architektura systemów komputerowych
NAZWA PRZEDMIOTU W JĘZYKU ANGIELSKIM	Computer System Architecture
KOD PRZEDMIOTU	WIEiK INFOR oIN PK11 16/17
KATEGORIA PRZEDMIOTU	Przedmioty kierunkowe
LICZBA PUNKTÓW ECTS	12.00
SEMESTRY	2 3

2 RODZAJ ZAJĘĆ, LICZBA GODZIN W PLANIE STUDIÓW

SEMESTR	WYKŁADY	ĆWICZENIA	LABORATORIA	LABORATORIA KOMPUTERO- WE	PROJEKTY	
2	20	0	15	0	0	0
3	15	0	0	0	15	0

3 CELE PRZEDMIOTU

Cel 1 Poznanie podstawowych komponentów systemu komputerowego i architektury Von Neumana.

Cel 2 Poznanie budowy i zasady działania procesora.

Cel 3 Poznanie zasad współpracy procesora z pamięcią.

Cel 4 Poznanie zasad współpracy procesora z urządzeniami wejścia/wyjścia.

Cel 5 Poznanie architektur wieloprocessorowych.

Cel 6 Poznanie zasad i nabycie umiejętności projektowania systemów cyfrowych na poziomie przesłań międzyrejestrowych (RTL). Poznanie działania procesora na poziomie RTL.

4 WYMAGANIA WSTĘPNE W ZAKRESIE WIEDZY, UMIEJĘTNOŚCI I INNYCH KOMPETENCJI

1 Znajomość techniki cyfrowej.

5 EFEKTY KSZTAŁCENIA

EK1 Wiedza Znajomość architektury Von Neumana i podstawowych komponentów systemu komputerowego.

EK2 Wiedza Znajomość zasady działania procesora i języka asemblera.

EK3 Umiejętności Umiejętność specyfikacji funkcji procesora na poziomie przesłań międzyrejestrowych.

EK4 Wiedza Znajomość zasad działania pamięci podręcznej i organizacji pamięci systemu komputerowego.

EK5 Wiedza Znajomość zasad współpracy procesora z urządzeniami zewnętrznymi poprzez przerwania i DMA.

EK6 Wiedza Znajomość architektur równoległych.

EK7 Umiejętności Umiejętność projektowania systemów cyfrowych na poziomie RTL.

6 TREŚCI PROGRAMOWE

PROJEKTY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
P1	Omówienie założeń do projektu. Specyfikacja wymagań dla projektu modułu systemu komputerowego projektowanego w środowisku Quartus.	3
P2	Projekt interfejsu Avalon dla projektowanego modułu komputera.	3
P3	Projekt i implementacja zadanej funkcji modułu komputera.	3
P4	Testowanie modułu w rzeczywistym systemie prototypowym FPGA.	3
P5	Integracja systemu komputerowego z zaprojektowanym modulem. Testowanie prototypu.	3

LABORATORIA		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN

LABORATORIA		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
L1	Projekt i implementacja w FPGA jednostki arytmetyczno-logicznej dla procesora o zadanej liście rozkazów.	3
L2	Projekt i implementacja w FPGA plików rejestrów dla procesora o zadanej liście rozkazów.	3
L3	Projekt i implementacja w FPGA magistrali i układu współpracy z magistralą dla procesora o zadanej liście rozkazów.	3
L4	Projekt i implementacja w FPGA jednostki sterującej dla procesora o zadanej liście rozkazów.	3
L5	Integracja wcześniej opracowanych modułów i testowanie procesora.	3

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W1	Struktura systemu komputerowego, model Von Neumana. Poziom przesłań międzyrejestrowych.	2
W2	Budowa i działanie procesora. Cykl rozkazowy. Przerwania.	2
W3	Rozkazy procesora. Formaty rozkazów. Argumenty rozkazów. Tryby adresowania argumentów.	3
W4	Struktura procesora: rejestry, ALU, jednostka sterująca.	3
W5	Projektowanie na poziomie przesłań międzyrejestrowych.	1
W6	Projekt przykładowego procesora: lista rozkazów, projekt struktury, specyfikacja na poziomie RTL.	5
W7	Przetwarzanie potokowe. Procesory RISC.	2
W8	Procesory superskalarne. Ewolucja architektur procesorów.	2
W9	Architektury jednoprocessorowe: modułu wejścia/wyjścia, pamięć, magistrale.	2
W10	Typy pamięci. Organizacja pamięci. Hierarchia pamięci. współpraca procesora z pamięcią RAM. Pamięć podręczna. Pamięć zewnętrzna. Stronicowanie i pamięć wirtualna.	6
W11	Współpraca procesora w urządzeniami zewnętrznymi. Obsługa programowa. Obsługa przez przerwania. Bezpośredni dostęp do pamięci.	3
W12	Magistrale.	1

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W13	Systemy wieloprocesorowe: SMP, klastry, NUMA. Procesory wielordzeniowe. Przetwarzanie równoległe.	3

7 NARZĘDZIA DYDAKTYCZNE

N1 Ćwiczenia laboratoryjne

N2 Ćwiczenia projektowe

N3 Dyskusja

N4 Konsultacje

N5 Wykłady

N6 Prezentacje multimedialne

8 OBCIĄŻENIE PRACĄ STUDENTA

FORMA AKTYWNOŚCI	ŚREDNIA LICZBA GODZIN NA ZREALIZOWANIE AKTYWNOŚCI
Godziny kontaktowe z nauczycielem akademickim, w tym:	
Godziny wynikające z planu studiów	65
Konsultacje przedmiotowe	10
Egzaminy i zaliczenia w sesji	5
Godziny bez udziału nauczyciela akademickiego wynikające z nakładu pracy studenta, w tym:	
Przygotowanie się do zajęć, w tym studiowanie zalecanej literatury	105
Opracowanie wyników	45
Przygotowanie raportu, projektu, prezentacji, dyskusji	60
przygotowanie się do egzaminu	70
SUMARYCZNA LICZBA GODZIN DLA PRZEDMIOTU WYNIKAJĄCA Z CAŁEGO NAKŁADU PRACY STUDENTA	360
SUMARYCZNA LICZBA PUNKTÓW ECTS DLA PRZEDMIOTU	12.00

9 SPOSOBY OCENY

OCENA FORMUJĄCA

F1 Sprawozdanie z ćwiczenia laboratoryjnego

F2 Projekt zespołowy

F3 Kolokwium

OCENA PODSUMOWUJĄCA

P1 Egzamin pisemny

P2 Średnia ważona ocen formujących

KRYTERIA OCENY

EFEKT KSZTAŁCENIA 1	
NA OCENĘ 2.0	Nieznajomość architektury komputera wg von Neumana.
NA OCENĘ 3.0	Znajomość podstawowych cech architektury von Neumana.
NA OCENĘ 3.5	Szczegółowa znajomość komponentów architektury von Neumana.
NA OCENĘ 4.0	Omówienie działania procesora zgodnego z architekturą von Neumana.
NA OCENĘ 4.5	Znajomość architektury harwardzkiej.
NA OCENĘ 5.0	Znajomość wad i zalet architektury von Neumana i architektury harwardzkiej.
EFEKT KSZTAŁCENIA 2	
NA OCENĘ 2.0	Niezajomość cyklu rozkazowego procesora.
NA OCENĘ 3.0	Omówienie cyklu rozkazowego procesora.
NA OCENĘ 3.5	Znajomość cyklu obsługi przerwania.
NA OCENĘ 4.0	Znajomość przetwarzania potokowego i zasad działania procesorów RISC.
NA OCENĘ 4.5	Znajomość przetwarzania superskalarne.
NA OCENĘ 5.0	Znajomość rozwiązań zwiększających moc obliczeniową procesorów.
EFEKT KSZTAŁCENIA 3	
NA OCENĘ 2.0	Brak umiejętności opisanie cyklu rozkazowego na poziomie RTL dla prostej instrukcji procesora.
NA OCENĘ 3.0	Umiejętność opisanie w formie sekwencji mikrorozkazów cyklu rozkazowego dla prostej instrukcji przesłanie danej.
NA OCENĘ 3.5	Umiejętność opisanie w formie sekwencji mikrorozkazów cyklu rozkazowego dla instrukcji przesłania danej z adresowaniem pośrednim.

NA OCENĘ 4.0	Umiejętność opisanie w formie sekwencji mikrorozkazów cyklu rozkazowego dla instrukcji skoku z adresowaniem względnym.
NA OCENĘ 4.5	Umiejętność opisanie w formie sekwencji mikrorozkazów cyklu rozkazowego dla instrukcji wywołania procedury.
NA OCENĘ 5.0	Umiejętność opisanie w formie sekwencji mikrorozkazów cyklu rozkazowego dla złożonej instrukcji procesora (instrukcja wieloargumentowa, instrukcja operująca na stringach itp.)
EFEKT KSZTAŁCENIA 4	
NA OCENĘ 2.0	Brak znajomości zasad współpracy procesora z pamięcią, hierarchii pamięci, roli pamięci podręcznej.
NA OCENĘ 3.0	Znajomość zasad współpracy procesora z pamięcią, hierarchii pamięci, roli pamięci podręcznej.
NA OCENĘ 3.5	Znajomość stronicowania i segmentacji pamięci, organizacji pamięci wirtualnej.
NA OCENĘ 4.0	Znajomość metod odwzorowania bloków pamięci podręcznej w pamięć główną. Znajomość wad i zalet poszczególnych metod odwzorowania.
NA OCENĘ 4.5	Umiejętność zaprojektowania organizacji pamięci podręcznej o odwzorowaniu bezpośrednim.
NA OCENĘ 5.0	Umiejętność zaprojektowania organizacji pamięci podręcznej o odwzorowaniu sekcyjno-skojarzeniowym.
EFEKT KSZTAŁCENIA 5	
NA OCENĘ 2.0	Nieznajomość ogólnych zasad i metod współpracy procesora z urządzeniami wejścia/wyjścia.
NA OCENĘ 3.0	Znajomość ogólnych zasad i metod współpracy procesora z urządzeniami wejścia/wyjścia.
NA OCENĘ 3.5	Znajomość funkcji modułów wejścia/wyjścia.
NA OCENĘ 4.0	Szczegółowa znajomość obsługi urządzeń wejścia/wyjścia przez przerwania oraz przez DMA. Umiejętność omówienia cyklu przerwania i cykli DMA.
NA OCENĘ 4.5	Umiejętność zaprojektowania modułu wejścia/wyjścia dla zadanego urządzenia zewnętrznego..
NA OCENĘ 5.0	Umiejętność zaprojektowania modułu wejścia/wyjścia z możliwością zgłaszania przerw dla zadanego urządzenia wejścia/wyjścia.
EFEKT KSZTAŁCENIA 6	
NA OCENĘ 2.0	Nieznajomość klasyfikacji Flynna.
NA OCENĘ 3.0	Znajomość klasyfikacji Flynna i charakterystyka architektur MIMD i SISD.
NA OCENĘ 3.5	Ogólna znajomość architektur SMP, klastrów i NUMA.

NA OCENĘ 4.0	Znajomość wad i zalet architektur MIMD.
NA OCENĘ 4.5	Znajomość architektur SIMD. Znajomość metod zapewnienia spójności pamięci podręcznych w architekturach ze wspólną pamięcią.
NA OCENĘ 5.0	Znajomość architektury COMA. Znajomość protokołu MESI.
EFEKT KSZTAŁCENIA 7	
NA OCENĘ 2.0	Brak umiejętności projektowania na poziomie RTL.
NA OCENĘ 3.0	Umiejętność specyfikacji algorytmu w formie grafu ASM.
NA OCENĘ 3.5	Umiejętność zaprojektowania struktury części wykonawczej dla zadanego grafu ASM.
NA OCENĘ 4.0	Umiejętność zaprojektowania sterowania dla zadanego grafu ASM i struktury części wykonawczej.
NA OCENĘ 4.5	Umiejętność specyfikacji w języku VHDL struktury układu.
NA OCENĘ 5.0	Umiejętność specyfikacji w języku VHDL funkcji systemu w formie współbieżnych procesów.

10 MACIERZ REALIZACJI PRZEDMIOTU

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓŁOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK1	K_W05 K_W13 K_U14	Cel 1	W1 W9	N5 N6	F3 P1
EK2	K_W05 K_W11 K_U05	Cel 2	W2 W3 W4 W7 W8	N4 N5 N6	F3 P1
EK3	K_W11 K_W13	Cel 6	L4 W5 W6	N1 N4 N5 N6	F1 F3 P1 P2
EK4	K_W05 K_W11 K_W13	Cel 3	L3 W10	N1 N4 N5 N6	F1 F3 P1 P2
EK5	K_W05 K_W11 K_W24	Cel 4	P1 P2 P3 P4 P5 L3 W11 W12	N1 N2 N4 N5 N6	F1 F2 F3 P1 P2
EK6	K_W05 K_W11 K_W25	Cel 5	W12 W13	N4 N5 N6	P1

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓŁOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK7	K_W11	Cel 6	P1 P2 P3 P4 P5 L1 L2 L3 L4 L5 W5 W6	N1 N2 N3 N4 N5 N6	F1 F2 F3 P1 P2

11 WYKAZ LITERATURY

LITERATURA PODSTAWOWA

- [1] William Stallings — *Organizacja i architektura systemu komputerowego*, Warszawa, 2004, WNT
- [2] Linda Null, Julia Lobur — *Struktura organizacyjna i architektura systemów komputerowych*, Gliwice, 2004, Helion
- [3] M. Morris Mano — *Architektura komputerów*, Warszawa, 1988, WNT

LITERATURA UZUPEŁNIAJĄCA

- [1] Piotr Metzger — *Anatomia PC*, Gliwice, 2006, Helion

12 INFORMACJE O NAUCZYCIELACH AKADEMICKICH

OSOBA ODPOWIEDZIALNA ZA KARTĘ

dr hab.inż. Mieczysław Drabowski (kontakt: gpedrak@pk.edu.pl)

OSOBY PROWADZĄCE PRZEDMIOT

- 1 dr hab. inż. Mieczysław Drabowski (kontakt: drabowski@pk.edu.pl)
- 2 mgr inż. Sławomir Bąk (kontakt: sbak@pk.edu.pl)
- 3 mgr inż. Dariusz Dorota (kontakt: ddorota@pk.edu.pl)

13 ZATWIERDZENIE KARTY PRZEDMIOTU DO REALIZACJI

(miejsowość, data)

(odpowiedzialny za przedmiot)

(dziekan)

PRZYJMUJĘ DO REALIZACJI (data i podpisy osób prowadzących przedmiot)

.....

