

POLITECHNIKA KRAKOWSKA IM. TADEUSZA KOŚCIUSZKI

KARTA PRZEDMIOTU

obowiązuje studentów rozpoczynających studia w roku akademickim 2020/2021

Wydział Inżynierii Elektrycznej i Komputerowej

Kierunek studiów: Informatyka w Inżynierii Komputerowej

Profil: Ogólnoakademicki

Forma studiów: stacjonarne

Kod kierunku: IwIK

Stopień studiów: I

Specjalności: bez specjalności

1 INFORMACJE O PRZEDMIOCIE

NAZWA PRZEDMIOTU	Architektury systemów komputerowych
NAZWA PRZEDMIOTU W JĘZYKU ANGIELSKIM	
KOD PRZEDMIOTU	WIEiK INFOR_W_INZ_KOMP oIS PK15 20/21
KATEGORIA PRZEDMIOTU	Przedmioty kierunkowe
LICZBA PUNKTÓW ECTS	6.00
SEMESTRY	4

2 RODZAJ ZAJĘĆ, LICZBA GODZIN W PLANIE STUDIÓW

SEMESTR	WYKŁADY	ĆWICZENIA	LABORATORIA	LABORATORIA KOMPUTERO- WE	PROJEKTY	
4	45	0	45	0	0	0

3 CELE PRZEDMIOTU

Cel 1 Cel przedmiotu 1: Przedstawienie organizacji i struktury oraz zachowania systemu komputerowego; charakterystyki zasobów systemu komputerowego.

Cel 2 Cel przedmiotu 2: Przedstawienie modelowania i problemów złożoności obliczeniowej dla projektowania systemu komputerowego, w szczególności rozdziału zadań i zasobów.

Cel 3 Cel przedmiotu 3: Przedstawienie problemów syntezy i konstruowania systemu komputerowego. Przedstawienie synergii sprzętu i oprogramowania.

4 WYMAGANIA WSTĘPNE W ZAKRESIE WIEDZY, UMIEJĘTNOŚCI I INNYCH KOMPETENCJI

- 1 Wymaganie 1: Znajomość elektroniki - szczególnie techniki cyfrowej (i szczególnie układów arytmetyczno-logicznych).
- 2 Wymaganie 2: Zaliczenie przedmiotu Systemy operacyjne.
- 3 Wymaganie 3: Umiejętność programowania w języku C/C++.

5 EFEKTY KSZTAŁCENIA

EK1 Kompetencje społeczne Efekt kształcenia 1: Wiedza: Student potra omówić strukturę systemu komputerowego i jego podstawowe układy.

EK2 Kompetencje społeczne Efekt kształcenia 2: Umiejętności: Student potra opisać działanie procesora na poziomie operacji i przesłań między-rejestrowych.

EK3 Kompetencje społeczne Efekt kształcenia 3: Wiedza: Student zna zagadnienia związane z rolą pamięci operacyjnej, funkcją pamięci notatnikowej i pamięci zewnętrznej oraz organizacją pamięci wirtualnej.

EK4 Kompetencje społeczne Efekt kształcenia 4: Wiedza: Student zna zagadnienia związane z interfejsem urządzeń zewnętrznych, w szczególności we/wy.

EK5 Kompetencje społeczne Efekt kształcenia 5: Umiejętności Student potra opisać w języku opisu sprzętu i zaimplementować podstawowe układy funkcjonalne systemów komputerowych.

6 TREŚCI PROGRAMOWE

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W1	Treści programowe 1: Pojęcie architektury i architektury systemu komputerowego. Podział architektur systemów komputerowych. Modelowanie systemu komputerowego. Złożoność obliczeniowa w projektowaniu systemów komputerowych. Optymalizacja wielokryterialna i symulacja procesów dyskretnych. Krotne systemy komputerowe. Modelowanie systemu rozproszonego.	12
W2	Treści programowe 2: Język opisu sprzętu. Układy i komponenty systemu komputerowego. Struktura jednostki centralnej komputera. Struktura procesora.	6
W3	Treści programowe 3: Organizacja i działanie procesora. Rozkazy procesora. Układy adresowania. Sterowanie. Wieloprocessorowość, przerwanie, arbitraż.	4
W4	Treści programowe 4: Synergia programu i sprzętu. Od programu źródłowego do wynikowego - binarnego.	6
W5	Treści programowe 5: Hierarchia pamięci, pamięć operacyjna, pamięci notatnikowe, adresowanie, pamięć zewnętrzna i w tym dyskowa.	5

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W6	Treści programowe 6: Obsługa we/wy, urządzenia we/wy, interfejsy.	6
W7	Treści programowe 7: Wirtualizacja pamięci. Wirtualizacja lekka. Wstęp do systemów gridowych.	6

LABORATORIA		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
L1	Treści programowe 1: Monitorowanie działania prostego CPU. Monitorowanie sygnałów magistrali systemowej mikrokomputera (cykl rozkazu). Monitorowanie transmisji.	8
L2	Treści programowe 2: Kompilatory logiczne dla układów CPLD i FPGA: Quartus II. Projektowanie układów cyfrowych na poziomie mikroarchitektury. Implementacja układów cyfrowych w technologii FPGA. Podstawy języka opisu sprzętu VHDL.	8
L3	Treści programowe 3: Projektowanie układów arytmetyczno-logicznych w VHDL-u.	8
L4	Treści programowe 4: Projektowanie na poziomie RTL. Implementacja pamięci.	5
L5	Treści programowe 5: Architektura procesora NIOS II - tworzenie systemów komputerowych z wykorzystaniem narzędzia SOPC Builder/Qsys, obsługa przerwań, interfejs UART, komunikacja z wykorzystaniem magistrali, DMA.	16

7 NARZĘDZIA DYDAKTYCZNE

N1 Narzędzie 1 Wykłady

N2 Narzędzie 2 Ćwiczenia laboratoryjne

N3 Narzędzie 3 Konsultacje

N4 Narzędzie 4 Prezentacje multimedialne

8 OBCIĄŻENIE PRACĄ STUDENTA

FORMA AKTYWNOŚCI	ŚREDNIA LICZBA GODZIN NA ZREALIZOWANIE AKTYWNOŚCI
Godziny kontaktowe z nauczycielem akademickim, w tym:	
Godziny wynikające z planu studiów	90
Konsultacje przedmiotowe	6
Egzaminy i zaliczenia w sesji	6
Godziny bez udziału nauczyciela akademickiego wynikające z nakładu pracy studenta, w tym:	
Przygotowanie się do zajęć, w tym studiowanie zalecanej literatury	50
Opracowanie wyników	10
Przygotowanie raportu, projektu, prezentacji, dyskusji	20
SUMARYCZNA LICZBA GODZIN DLA PRZEDMIOTU WYNIKAJĄCA Z CAŁEGO NAKŁADU PRACY STUDENTA	182
SUMARYCZNA LICZBA PUNKTÓW ECTS DLA PRZEDMIOTU	6.00

9 SPOSOBY OCENY

OCENA FORMUJĄCA

F1 Ocena 1: ze sprawozdań z ćwiczeń laboratoryjnych

F2 Ocena 2: kolokwium

OCENA PODSUMOWUJĄCA

P1 Ocena 1: Egzamin pisemny/ustny

P2 Ocena 2: Średnia ważona ocen formujących i egzaminu

WARUNKI ZALICZENIA PRZEDMIOTU

W1 Ocena 1: Pozytywna ocena podsumowująca

KRYTERIA OCENY

EFEKT KSZTAŁCENIA 1	
NA OCENĘ 2.0	Student nie potra omówić modelu i cech systemu komputerowego
NA OCENĘ 3.0	Student potra omówić model i cechy systemu komputerowego.
NA OCENĘ 4.0	Student potra omówić wszystkie podstawowe układy systemu komputerowego i omówić działanie procesora.

NA OCENĘ 5.0	Student potra omówić komponenty systemu komputerowego, omówić działanie procesora oraz zna modele systemów komputerowych. Student potra omówić złożoność obliczeniową problemów projektowania systemów komputerowych
EFEKT KSZTAŁCENIA 2	
NA OCENĘ 2.0	Student nie zna cyklu rozkazu procesora.
NA OCENĘ 3.0	Student zna cykl rozkazu procesora, typy instrukcji, tryby adresowania.
NA OCENĘ 4.0	Student zna cykl rozkazowy procesora, typy instrukcji, tryby adresowania i potra opisać instrukcję (przesyłanie danych, skoki, wywołania procedur, obsługa stosu, itp.) w postaci sekwencji mikrooperacji i przesłań między-rejestrowych.
NA OCENĘ 5.0	Student zna cykl rozkazowy procesora, typy instrukcji, tryby adresowania i potra opisać złożoną instrukcję wieloargumentową z dowolnym trybem adresowania w postaci sekwencji mikrooperacji i przesłań między-rejestrowych. Ponadto student zna metody optymalizacji czasu wykonania rozkazów.
EFEKT KSZTAŁCENIA 3	
NA OCENĘ 2.0	Student nie potra omówić hierarchii pamięci, organizacji pamięci operacyjnej i jej współpracy z procesorem.
NA OCENĘ 3.0	Student potra omówić hierarchię pamięci, organizację i współpracę pamięci operacyjnej z procesorem, koncepcję pamięci notatnikowej.
NA OCENĘ 4.0	Student potra omówić hierarchię pamięci, organizację i współpracę pamięci operacyjnej z procesorem, koncepcję pamięci notatnikowej, zna organizację pamięci wirtualnej i mechanizmy stronicowania i segmentacji, zna również algorytmy wymiany.
NA OCENĘ 5.0	Student potra omówić hierarchię pamięci, organizację i współpracę pamięci operacyjnej z procesorem, koncepcję pamięci notatnikowej, zna organizację pamięci wirtualnej i mechanizmy stronicowania i segmentacji, zna algorytmy wymiany. Student potra zaprojektować układy adresacji pamięci.
EFEKT KSZTAŁCENIA 4	
NA OCENĘ 2.0	Student nie zna zasad sterowania urządzeniami wejścia/wyjścia.
NA OCENĘ 3.0	Student zna zasady sterowania urządzeniami wejścia/wyjścia
NA OCENĘ 4.0	Student zna metody transmisji danych, podstawowe protokoły, zasady synchronizacji oraz systemy magistral.
NA OCENĘ 5.0	Student zna metody transmisji danych, podstawowe protokoły, zasady synchronizacji, systemy magistral oraz metody obsługi urządzeń we/wy z wykorzystaniem przerw i DMA.
EFEKT KSZTAŁCENIA 5	
NA OCENĘ 2.0	Student nie potra opisać prostych układów kombinacyjnych i sekwencyjnych w języku VHDL.

NA OCENĘ 3.0	Student potra opisać prosty układ kombinacyjny (multipleksery, enkodery, sumatory, ALU, itp.) w języku VHDL.
NA OCENĘ 4.0	Student potra opisać prosty układ kombinacyjny i sekwencyjny (rejstry, liczniki, timer) w języku VHDL i zaimplementować go w układzie FPGA. Student potra skonstruować system komputerowy oraz uruchomić w tym systemie program.
NA OCENĘ 5.0	Student potra skonstruować system komputerowy oraz uruchomić w tym systemie program. Student potra opisać prosty procesor w języku VHDL i zaimplementować go.

10 MACIERZ REALIZACJI PRZEDMIOTU

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓŁOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK1		Cel 1	W1	N1	F1 F2 P1 P2
EK2		Cel 1 Cel 2	W3 W4	N1 N2 N3 N4	F1 F2 P1 P2
EK3		Cel 2 Cel 3	W4 W5 W6 L2 L3	N2 N4	F1 F2 P1 P2
EK4		Cel 3	W5 W6 W7 L3 L4 L5	N1 N2 N3 N4	F1 F2 P2
EK5		Cel 2 Cel 3	W3 W5 W7 L1 L4 L5	N1 N2 N3 N4	F1 F2 P1 P2

11 WYKAZ LITERATURY

LITERATURA PODSTAWOWA

- [1] Stallings William — *Organizacja i architektura systemu komputerowego*, Warszawa, 2005, WNT
- [2] Morrris Mano M. — *Architektura komputerów*, Warszawa, 1998, WNT
- [3] Marek Zwoliński — *Projektowanie układów cyfrowych z wykorzystaniem języka VHDL*, Warszawa, 2012, WKiŁ

LITERATURA UZUPEŁNIAJĄCA

- [1] Kevin Skahill — *Język VHDL. Projektowanie programowalnych układów logicznych*, Warszawa, 2012, WNT

12 INFORMACJE O NAUCZYCIELACH AKADEMICKICH

OSOBA ODPOWIEDZIALNA ZA KARTĘ

dr hab.inż. Mieczysław Drabowski (kontakt: drabowski@pk.edu.pl)

OSOBY PROWADZĄCE PRZEDMIOT

1 dr inż. Radosław Czarnecki (kontakt: czarneck@pk.edu.pl)

13 ZATWIERDZENIE KARTY PRZEDMIOTU DO REALIZACJI

(miejsowość, data)

(odpowiedzialny za przedmiot)

(dziekan)

PRZYJMUJĘ DO REALIZACJI (data i podpisy osób prowadzących przedmiot)

.....