

POLITECHNIKA KRAKOWSKA IM. TADEUSZA KOŚCIUSZKI

KARTA PRZEDMIOTU

obowiązuje studentów rozpoczynających studia w roku akademickim 2021/2022

Wydział Inżynierii Elektrycznej i Komputerowej

Kierunek studiów: Informatyka w Inżynierii Komputerowej

Profil: Ogólnoakademicki

Forma studiów: stacjonarne

Kod kierunku: IwIK

Stopień studiów: I

Specjalności: bez specjalności

1 INFORMACJE O PRZEDMIOCIE

NAZWA PRZEDMIOTU	Projektowanie systemów cyfrowych
NAZWA PRZEDMIOTU W JĘZYKU ANGIELSKIM	
KOD PRZEDMIOTU	WIEiK INFOR_W_INZ_KOMP oIS PS1 21/22
KATEGORIA PRZEDMIOTU	Przedmioty specjalnościowe
LICZBA PUNKTÓW ECTS	4.00
SEMESTRY	5

2 RODZAJ ZAJĘĆ, LICZBA GODZIN W PLANIE STUDIÓW

SEMESTR	WYKŁADY	ĆWICZENIA	LABORATORIA	LABORATORIA KOMPUTERO- WE	PROJEKTY	
5	30	0	15	0	15	0

3 CELE PRZEDMIOTU

Cel 1 Zapoznanie studentów z metodami projektowania systemów cyfrowych na poziomie RTL i behawioralnym

Cel 2 Zapoznanie studentów z zasadami optymalizacji systemów cyfrowych.

Cel 3 Nabycie umiejętności pracy w zespole.

4 WYMAGANIA WSTĘPNE W ZAKRESIE WIEDZY, UMIEJĘTNOŚCI I INNYCH KOMPETENCJI

- 1 Znajomość podstaw elektroniki i techniki cyfrowej
- 2 Zaliczenie przedmiotu "Architektury systemów komputerowych" (4 semestr)

5 EFEKTY KSZTAŁCENIA

EK1 Wiedza Student zna różne poziomy projektowania systemów cyfrowych oraz technologie implementacji.

EK2 Wiedza Student zna metody optymalizacji i testowania systemów cyfrowych.

EK3 Umiejętności Student potrafi zaprojektować złożony system cyfrowy z wykorzystaniem języka VHDL.

EK4 Umiejętności Student potrafi zastosować metody optymalizacji w projektowanym systemie cyfrowym oraz stosować przetwarzanie potokowe.

EK5 Kompetencje społeczne Nabycie umiejętności pracy w zespole.

6 TREŚCI PROGRAMOWE

PROJEKTY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
P1	Zaprojektowanie i implementacja w języku VHDL systemu cyfrowego spełniającego zadane założenia.	8
P2	Opracowanie testów walidacyjnych i symulacja zaprojektowanego systemu.	3
P3	Implementacja systemu z wykorzystaniem technologii FPGA.	4

LABORATORIA		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
L1	Modelowanie i symulacja systemów cyfrowych.	3
L2	Synteza petli i podprogramów. Optymalizacje projektowanego systemu (szybkość, powierzchnia).	3
L3	Obsługa wyświetlacza LCD : automat stanów.	2
L4	Przetwarzanie potokowe.	3
L5	Obsługa kontrolera VGA.	4

WYKŁADY		
LP	TEMATYKA ZAJĘĆ OPIS SZCZEGÓŁOWY BLOKÓW TEMATYCZNYCH	LICZBA GODZIN
W1	Poziomy projektowania systemów cyfrowych. Projektowanie na poziomie behawioralnym a RTL. Narzędzia i środowiska projektowe.	2
W2	Metody implementacji systemów cyfrowych. Układy reprogramowalne. Układy FPGA firm Xilinx i Intel.	4
W3	Język VHDL: typy danych, tworzenie modułów sparametryzowanych, generacja regularnych struktur, biblioteki systemu Quartus Prime.	4
W4	Projektowanie układów sekwencyjnych: problemy optymalizacji. Przykłady.	2
W5	Metody walidacji specyfikacji systemów cyfrowych. Testowanie systemów cyfrowych.	4
W6	Optymalizacje na poziomie RTL. Synteza RTL (alokacja zasobów, szeregowanie operacji, minimalizacja kosztu, maksymalizacja szybkości). Synteza petli i podprogramów.	4
W7	Synteza behawioralna. Szeregowanie operacji w syntezie behawioralnej	4
W8	Przetwarzanie potokowe w systemach cyfrowych.	2
W9	Dynamiczna rekonfiguracja systemów cyfrowych.	4

7 NARZĘDZIA DYDAKTYCZNE

N1 Cwiczenia laboratoryjne

N2 Konsultacje

N3 Praca w grupach

N4 Prezentacje multimedialne

N5 Wykłady

8 OBCIĄŻENIE PRACĄ STUDENTA

FORMA AKTYWNOŚCI	ŚREDNIA LICZBA GODZIN NA ZREALIZOWANIE AKTYWNOŚCI
Godziny kontaktowe z nauczycielem akademickim, w tym:	
Godziny wynikające z planu studiów	60
Konsultacje przedmiotowe	4
Egzaminy i zaliczenia w sesji	0
Godziny bez udziału nauczyciela akademickiego wynikające z nakładu pracy studenta, w tym:	
Przygotowanie się do zajęć, w tym studiowanie zalecanej literatury	15
Opracowanie wyników	11
Przygotowanie raportu, projektu, prezentacji, dyskusji	30
SUMARYCZNA LICZBA GODZIN DLA PRZEDMIOTU WYNIKAJĄCA Z CAŁEGO NAKŁADU PRACY STUDENTA	120
SUMARYCZNA LICZBA PUNKTÓW ECTS DLA PRZEDMIOTU	4.00

9 SPOSOBY OCENY

OCENA FORMUJĄCA

F1 Cwiczenie praktyczne

F2 Projekt zespołowy

F3 Kolokwium

OCENA PODSUMOWUJĄCA

P1 Średnia wazona ocen formujących

WARUNKI ZALICZENIA PRZEDMIOTU

W1 Uzyskanie pozytywnych ocen z wszystkich ćwiczeń

W2 Zaliczenie projektu

OCENA AKTYWNOŚCI BEZ UDZIAŁU NAUCZYCIELA

B1 Cwiczenie praktyczne

B2 Projekt zespołowy

KRYTERIA OCENY

EFEKT KSZTAŁCENIA 1	
NA OCENĘ 2.0	Student nie potrafi omówić poziomów projektowania systemów cyfrowych.
NA OCENĘ 3.0	Student potrafi omówić poziomy projektowania systemów cyfrowych.
NA OCENĘ 4.0	Student potrafi omówić poziomy projektowania systemów cyfrowych oraz podstawowe technologie implementacji systemów cyfrowych. Student potrafi omówić proces syntezy behawioralnej.
NA OCENĘ 5.0	Student potrafi omówić poziomy projektowania systemów cyfrowych oraz podstawowe technologie implementacji systemów cyfrowych. Potrafi wskazać różnice pomiędzy układami FPGA firm Xilinx i Intel. Student potrafi omówić proces syntezy behawioralnej.
EFEKT KSZTAŁCENIA 2	
NA OCENĘ 2.0	Student nie potrafi omówić podstawowych problemów optymalizacji układów kombinacyjnych i sekwencyjnych.
NA OCENĘ 3.0	Student potrafi omówić podstawowe problemy optymalizacji układów kombinacyjnych i sekwencyjnych.
NA OCENĘ 4.0	Student potrafi omówić podstawowe problemy optymalizacji układów kombinacyjnych i sekwencyjnych. Student zna metody i zasady walidacji systemów cyfrowych i potrafi opisać zadania testowe w VHDL-u. Student zna metody testowania systemów cyfrowych.
NA OCENĘ 5.0	Student potrafi omówić podstawowe problemy optymalizacji układów kombinacyjnych i sekwencyjnych. Student zna metody i zasady walidacji systemów cyfrowych i potrafi opisać zadania testowe w VHDL-u. Student potrafi omówić wybrane algorytmy szeregowania operacji oraz tryby szeregowania we/wy. Student zna metody testowania systemów cyfrowych i modele błędów oraz potrafi je zastosować dla zadanego układu.
EFEKT KSZTAŁCENIA 3	
NA OCENĘ 2.0	Student nie zna podstawowych konstrukcji języka VHDL i nie potrafi zaprojektować prostych układów kombinacyjnych i sekwencyjnych w VHDLu.
NA OCENĘ 3.0	Student zna podstawowe konstrukcje języka VHDL i potrafi zaprojektować proste układy kombinacyjne i sekwencyjne w VHDLu.
NA OCENĘ 4.0	Student zna podstawowe konstrukcje języka VHDL i potrafi zaprojektować proste układy kombinacyjne i sekwencyjne w VHDLu. Student potrafi utworzyć projekt systemu cyfrowego od tworzenia specyfikacji w języku VHDL, jej walidacji, do testowania zaimplementowanego systemu. Potrafi opisać w języku VHDL działanie wybranych komponentów (np. wyświetlacza LCD).
NA OCENĘ 5.0	Student potrafi utworzyć projekt systemu cyfrowego od tworzenia specyfikacji w języku VHDL, jej walidacji, do testowania zaimplementowanego systemu. Potrafi zaprojektować system cyfrowy o dużej złożoności.
EFEKT KSZTAŁCENIA 4	

NA OCENĘ 2.0	Student nie potrafi omówić podstawowych zasad optymalizacji kosztu i szybkości systemu cyfrowego.
NA OCENĘ 3.0	Student potrafi omówić podstawowe zasady optymalizacji kosztu i szybkości systemu cyfrowego.
NA OCENĘ 4.0	Student zna zasady syntezy petli i podprogramów na poziomie RTL i behawioralnym i potrafi przekształcić wybraną petle na postać syntezowalną. Student potrafi omówić podstawowe zasady optymalizacji kosztu i szybkości systemu cyfrowego. Potrafi analizować raporty z syntezy i wskazać alternatywny sposób szeregowania/ wykorzystania zasobów w celu optymalizacji systemu. Potrafi zmodyfikować kod w VHDL-u w celu uzyskania optymalnego rozwiązania.
NA OCENĘ 5.0	Student zna zasady syntezy petli i podprogramów na poziomie RTL i behawioralnym i potrafi przekształcić wybraną petle na postać syntezowalną. Student potrafi analizować raporty z syntezy i wskazać alternatywny sposób szeregowania/ wykorzystania zasobów w celu optymalizacji systemu. Potrafi zmodyfikować kod w VHDL-u w celu uzyskania optymalnego rozwiązania. Student potrafi optymalizować systemy cyfrowe z wykorzystaniem przetwarzania potokowego.
EFEKT KSZTAŁCENIA 5	
NA OCENĘ 2.0	Student nie angażuje się w pracę zespołu.
NA OCENĘ 3.0	Student wykonuje fragment przydzielonego zadania w ramach grupy, nie konsultuje i nie weryfikuje z grupą swojego stanowiska.
NA OCENĘ 4.0	Student dobrze współpracuje w grupie, jest aktywny i zaangażowany.
NA OCENĘ 5.0	Student doskonale współpracuje i kieruje pracą w grupie.

10 MACIERZ REALIZACJI PRZEDMIOTU

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓŁOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK1	K_W05 K_W11 K_W21	Cel 1	W1 W2 W7 W9	N2 N4 N5	F3 P1
EK2	K_W05 K_W11 K_W21	Cel 2	W4 W5 W6 W8	N2 N4 N5	F3 P1
EK3	K_W05 K_W11 K_W21	Cel 1	P1 P2 P3 L1 L3 L5 W3	N1 N2 N3	F1 F2 F3 P1

EFEKT KSZTAŁCENIA	ODNIESIENIE DANEGO EFEKTU DO SZCZEGÓŁOWYCH EFEKTÓW ZDEFINIOWANYCH DLA PROGRAMU	CELE PRZEDMIOTU	TREŚCI PROGRAMOWE	NARZĘDZIA DYDAKTYCZNE	SPOSOBY OCENY
EK4	K_W05 K_W11 K_W21	Cel 2	P1 L2 L4 W3 W4 W5 W6 W8	N1 N2 N3	F1 F2 F3 P1
EK5	K_U02	Cel 3	P1 P2 P3	N2 N3	F2 P1

11 WYKAZ LITERATURY

LITERATURA PODSTAWOWA

- [1] | Kevin Skahill — *Język VHDL. Projektowanie programowalnych układów logicznych (wyd. 2)*, Warszawa, 2004, WNT
- [2] | Giovanni De Micheli — *Synteza i optymalizacja układów cyfrowych*, Warszawa, 1998, WNT
- [3] | Marek Zwolinski — *Projektowanie układów cyfrowych z wykorzystaniem języka VHDL*, Warszawa, 2002, WKiŁ
- [4] | Tadeusz Łuba red. — *Synteza układów cyfrowych*, Warszawa, 2003, WKiŁ

LITERATURA UZUPEŁNIAJĄCA

- [1] | Wayne Wolf — *Modern VLSI Design. System on Chip Design*, New Jersey, USA, 2002, Prentice Hall
- [2] | Wayne Wolf — *FPGA Based System Design*, New Jersey, USA, 2004, Prentice Hall

12 INFORMACJE O NAUCZYCIELACH AKADEMICKICH

OSOBA ODPOWIEDZIALNA ZA KARTĘ

dr inż. Karol Suchenia (kontakt: karol.suchenia@pk.edu.pl)

OSOBY PROWADZĄCE PRZEDMIOT

1 dr inż. Karol Suchenia (kontakt: karol.suchenia@pk.edu.pl)

13 ZATWIERDZENIE KARTY PRZEDMIOTU DO REALIZACJI

(miejscowość, data)

(odpowiedzialny za przedmiot)

(dziekan)

PRZYJMUJĘ DO REALIZACJI (data i podpisy osób prowadzących przedmiot)

.....